

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07141074 A**(43) Date of publication of application: **02.06.95**

(51) Int. Cl.

**G06F 1/32**  
**G06F 1/26**(21) Application number: **05157538**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **28.06.93**(72) Inventor: **HASEGAWA KENJI**(54) **SEMICONDUCTOR INTEGRATED CIRCUIT**

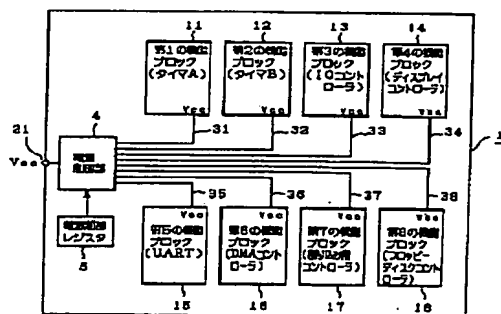
power consumption to be suppressed.

(57) Abstract:

COPYRIGHT: (C)1995,JPO

**PURPOSE:** To stop the supply of a power source to an unused functional block by providing a power source control part which branches the power source supplied to a main power source terminal to branch power source lines to each functional block based on a power source distribution control signal, and a power source control register which sets the power source distribution control signal.

**CONSTITUTION:** The power source control part 4 branches the power source supplied to the main power source terminal 21 to prescribed branch power source lines 31-38 according to the power source distribution control signal in which all bits 1 are set on the power source control register, and supplies the power source to all designated first to eighth functional blocks 11-18. In such a way, it is possible to disconnect the power source from the unused functional block for which no power source is required to supply by setting the power source distribution control signal only whose bit in accordance with the one used at that time in the functional blocks 11-18 at 1, which enables wasteful



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-141074

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/32  
1/26

G 0 6 F 1/ 00 3 3 2 Z  
3 3 0 D

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21) 出願番号 特願平5-157538

(22) 出願日 平成5年(1993)6月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 長谷川 健次

伊丹市瑞原4丁目1番地 三菱電機株式会  
社北伊丹製作所内

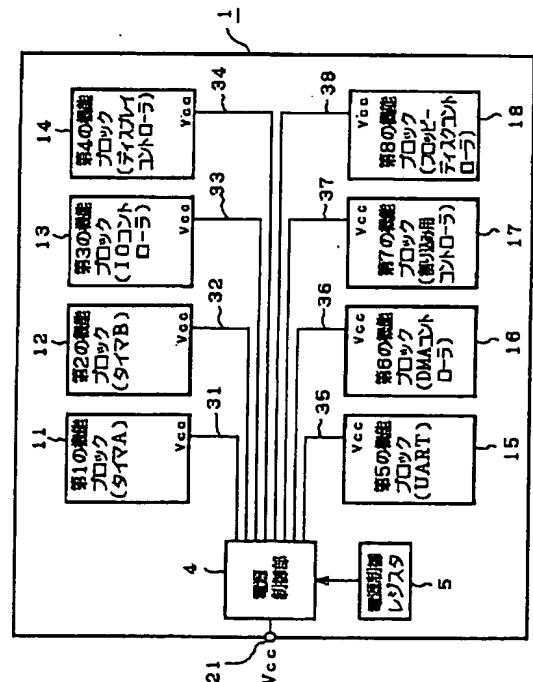
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 使用されていない機能ブロックへの電源の供給を遮断して、内部で無駄に消費される電力を削減した半導体集積回路を得る。

【構成】 電源制御レジスタに設定された電源分配制御信号により、主電源端子の電源を各機能ブロックへの分岐電源線に分岐させ、また各分岐電源線を各々外部端子に接続し、また電源分配制御信号による各分岐電源線への電源の分岐の実行をタイマによる時限制御、または所定のデータが受信されたことによる制御とし、また各機能ブロックの内部レジスタには直接電源を供給し、また一定時間内の割り込み信号の有無に応じて複数の電源制御レジスタの1つを選択し、その電源分配制御信号にて分岐電源線への電源の分岐を実行する。



1: 半導体集積回路 21: 主電源端子 31~38: 分岐電源線

## 【特許請求の範囲】

【請求項 1】 各々が所定の処理機能を有する複数の機能ブロックと、前記各機能ブロックのそれぞれに個別に電源を供給するための分岐電源線と、前記各機能ブロックへの電源を一括して受け取る主電源端子と、前記主電源端子で受け取った電源を電源分配制御信号に従って所定の分岐電源線に分岐させて、対応する前記機能ブロックに分配する電源制御部と、前記電源分配制御信号が設定される電源制御レジスタとを備えた半導体集積回路。

【請求項 2】 前記分岐電源線が、それぞれ外部端子に接続されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記電源制御部が、前記電源制御レジスタに設定されている電源分配制御信号に対応した前記分岐電源線への電源の分岐の実行を時限制御するためのタイマを具備していることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 4】 前記電源制御部がユニバーサル・アシンクロナス・レシーバ・アンド・トランスミッタを具備して、当該ユニバーサル・アシンクロナス・レシーバ・アンド・トランスミッタが所定のデータを受信したとき、前記電源制御レジスタに設定されている電源分配制御信号に従って、前記分岐電源線への電源の分岐の実行する機能を有していることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 5】 前記各機能ブロックは、それぞれの内部レジスタに前記主電源端子より電源が直接供給されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 6】 前記電源制御レジスタを複数備えて、その各々に異なる前記電源分配制御信号を設定し、前記電源制御部が前記機能ブロックからの割り込み信号が入力される割り込み端子と、前記割り込み端子に入力される割り込み信号の時限管理を行うためのタイマとを具備して、一定時間の前記割り込み信号の有無に応じて前記電源制御レジスタの 1 つを選択し、選択された前記電源制御レジスタに設定されている電源分配制御信号に従って、前記分岐電源線への電源の分岐の実行する機能を有していることを特徴とする請求項 1 に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、各々が所定の処理機能を有する機能ブロックを複数内蔵した半導体集積回路に関するもので、特にそれら各機能ブロックへの電源の供給に関するものである。

## 【0002】

【従来の技術】 図 10 は従来の半導体集積回路を示すブロック図である。図において、1 は当該半導体集積回路であり、11～18 は各々が所定の処理機能を有して当

該半導体集積回路 1 に内蔵された第 1～第 8 の機能ブロックである。なお、この図 10 の例では、第 1 の機能ブロック 11 がタイマ A、12 の機能ブロック 12 がタイマ B、第 3 の機能ブロック 13 が I/O コントローラ、第 4 の機能ブロック 14 がディスプレイコントローラ、第 5 の機能ブロック 15 がユニバーサル・アシンクロナス・レシーバ・アンド・トランスミッタ（以下 UART という）、第 6 の機能ブロック 16 がダイレクト・メモリ・アクセス（DMA）コントローラ、第 7 の機能ブロック 17 が割り込み用コントローラ、第 8 の機能ブロック 18 がフロッピーディスクコントローラの処理機能をそれぞれ有している。また、21 はこの半導体集積回路 1 に供給される電源を受ける主電源端子であり、22 はこの主電源端子 21 で受けた電源を各機能ブロック 11～18 に供給する内部電源線である。

【0003】 次に動作について説明する。システムの電源が投入されると当該半導体集積回路 1 の主電源端子 21 に電源が供給される。内部の論理部分である第 1～第 8 の各機能ブロック 11～18 は内部電源線 22 を介してその電源の供給を受けて、それぞれ所定の機能を実現するための動作を実行する。なお、第 1～第 8 の各機能ブロック 11～18 には内部電源線 22 経由で常に電源が供給されており、たとえその機能ブロック 11～18 が使用されていない時においても電源の供給は継続されることになる。

## 【0004】

【発明が解決しようとする課題】 従来の半導体集積回路は以上のように構成されているので、第 1～第 8 の各機能ブロック 11～18 には、それが使用されているといかないにもかかわらず常に電源が供給されることとなり、使用されていない機能ブロックによって無駄に電力が消費されるという問題点があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、使用されていない機能ブロックに対する電源の供給を停止して、無駄な電力消費を抑えることができる半導体集積回路を得ることを目的とする。

## 【0006】

【課題を解決するための手段】 請求項 1 に記載の発明に係る半導体集積回路は、主電源端子に供給された電源を電源分配制御信号に基づいて、各機能ブロックへの分岐電源線に分岐させる電源制御部と、その電源分配制御信号が設定される電源制御レジスタと設けたものである。

【0007】 また、請求項 2 に記載の発明に係る半導体集積回路は、各分岐電源線を外部端子に接続したものである。

【0008】 また、請求項 3 に記載の発明に係る半導体集積回路は、電源制御部にタイマを付加し、電源分配制御信号に対応した分岐電源線への電源の分岐の実行を、そのタイマによる時限制御としたものである。

【0009】また、請求項4に記載の発明に係る半導体集積回路は、電源制御部にUARTを付加し、電源分配制御信号に対応した分岐電源線への電源の分岐の実行を、そのUARTの受信データによって制御可能としたものである。

【0010】また、請求項5に記載の発明に係る半導体集積回路は、各機能ブロックの内部レジスタに主電源端子より直接電源を供給するようにしたものである。

【0011】また、請求項6に記載の発明に係る半導体集積回路は、複数の電源制御レジスタを設けて異なる電源分配制御信号を設定し、電源制御部に、割り込み信号が入力される割り込み端子とその時限管理のためのタイマを付加し、電源制御レジスタの1つを一定時間の割り込み信号の有無により選択して、そこに設定されている電源分配制御信号による分岐電源線への電源の分岐を実行するものである。

【0012】

【作用】請求項1に記載の発明における電源制御部は、電源制御レジスタに設定されている電源分配制御信号に従って、主電源端子に供給された電源を各機能ブロックへの分岐電源線に分岐させることにより、使用されていない機能ブロックへの電源の供給を停止して、電力が無駄に消費されるのを抑制する。

【0013】また、請求項2に記載の発明における半導体集積回路は、各機能ブロックへの分岐電源線をそれぞれ外部端子接続することにより、それぞれの機能ブロックに從属する外部の半導体集積回路に対する電源の供給も、その機能ブロックと同一の制御を行うことを可能とする。

【0014】また、請求項3に記載の発明における電源制御部は、時限制御のためのタイマを付加することにより、電源分配制御信号に対応した分岐電源線への電源の分岐の実行を、そのタイマによる時限制御とする。

【0015】また、請求項4に記載の発明における電源制御部は、外部からのデータを受信照合するUARTを付加することにより、電源分配制御信号に対応した分岐電源線への電源の分岐を、所定のデータが受信されたことによって実行する。

【0016】また、請求項5に記載の発明における各機能ブロックは、内部レジスタへの電源の供給を主電源端子より直接受けることにより、電源の供給を遮断された場合でも内部レジスタの内容を保持する。

【0017】また、請求項6に記載の発明における電源制御部は、割り込み端子に入力される割り込み信号を付加されたタイマで時限管理し、一定時間内の割り込み信号の有無に応じて複数用意された電源制御レジスタの1つを選択して、そこに設定されている電源分配制御信号に従って分岐電源線への電源の分岐を実行することにより、各機能ブロックへの電源の供給を、割り込み状況に応じて異なった供給パターンで行うことを可能とする。

【0018】

【実施例】

実施例1. 以下、この発明の実施例1を図について説明する。図1は請求項1に記載の発明の一実施例を示すブロック図である。図において、1は半導体集積回路、11～18は第1～第8の機能ブロック、21は主電源端子であり、図10に同一符号を付した従来のそれらと同一、もしくは相当部分であるため詳細な説明は省略する。また、31～38は第1～第8の機能ブロック11～18のそれぞれに個別に電源を供給するための分岐電源線である。4は主電源端子21で受け取った電源を電源分配制御信号に従って所定の分岐電源線31～38に分岐させて、対応する各機能ブロック11～18に分配する電源制御部であり、5はその電源分配制御信号が設定される電源制御レジスタである。

【0019】次に動作について説明する。電源制御部4は主電源端子21に供給された電源を、電源制御レジスタ5に設定された電源分配制御信号に従って所定の分岐電源線31～38に分岐させ、指定された機能ブロック11～18に分配する。ここで、図2はこの電源制御レジスタ5への電源分配制御信号の設定例を示す説明図であり、図中、“1”は対応する機能ブロックへの電源供給を、“0”は対応する機能ブロックへの電源無供給をそれぞれ示している。

【0020】ここで、図2(a)に示される電源分配制御信号が電源制御レジスタ5に設定されている場合には、当該電源分配制御信号の全ビットが“1”であるため、電源制御部4は主電源端子21で受けた電源を全ての分岐電源線31～38に分岐させる。従って、第1～第8の機能ブロック11～18の全てに電源が供給されることになる。また、図2(b)に示される電源分配制御信号が電源制御レジスタ5に設定されている場合には、その第1、第3、第5および第7の機能ブロックに対応付けられたビットが“1”であるため、電源制御部4は主電源端子21で受けた電源を分岐電源線31、33、35および37に分岐させる。従って、電源は第1、第3、第5および第7の機能ブロック11、13、15および17に供給され、第2、第4、第6および第8の機能ブロック12、14、16および18への供給は停止されることになる。さらに、図2(a)に示される電源分配制御信号が電源制御レジスタ5に設定されている場合には、その全てのビットが“0”であるため、電源制御部4は主電源端子21で受けた電源を分岐電源線31～38のどこにも分岐させない。従って、第1～第8の機能ブロック11～18の全ての電源が遮断されることとなる。

【0021】このようにして、機能ブロック11～18中のその時点で使用されているものに対応したビットのみを“1”とした電源分配制御信号を電源制御レジスタ5に設定することによって、使用されていない電源の供

給が不必要な機能ブロックへの電源を遮断することができる、無駄な電力消費を抑えることができる。

【0022】実施例 2。次に、この発明の実施例 2 を図について説明する。図 3 は請求項 2 に記載した発明の一実施例を示すブロック図で、図中、61～68 は第 1～第 8 の機能ブロック 11～18 のそれぞれに個別に電源を供給している各分岐電源線 31～38 がそれぞれ接続されている外部端子であり、他の部分には図 1 の相当部分と同一符号を付してその説明を省略する。

【0023】なお、図 4 はこのように構成された半導体集積回路 1 が使用されたシステムの構成例を示すブロック図である。図において、71 は当該半導体集積回路 1 の第 4 の機能ブロック 14 に電源を供給している分岐電源線 34 に接続されている外部端子 64 に接続された外部電源線である。72 はこの外部電源線 71 より電源の供給を受けて、前記第 4 の機能ブロック 14 に従属して動作する半導体集積回路 A であり、73 は同じく外部電源線 71 より電源の供給を受けて第 4 の機能ブロック 14 に従属して動作する半導体集積回路 B である。また、74 は第 8 の機能ブロック 18 に電源を供給している分岐電源線 38 に接続されている外部端子 68 に接続された外部電源線である。75 はこの外部電源線 74 より電源の供給を受けて、前記第 8 の機能ブロック 18 に従属して動作する半導体集積回路 C であり、76 は同じく外部電源線 74 より電源の供給を受けて第 8 の機能ブロック 18 に従属して動作する半導体集積回路 D である。

【0024】次に動作について説明する。ここで、半導体集積回路 1 内の第 1～第 8 の各機能ブロック 11～18 への電源は、実施例 1 において説明したものと同様の方法で供給され、その時点で使用されていない機能ブロック 11～18 には電源の供給は停止される。なお、各機能ブロック 11～18 に個別に電源を供給している分岐電源線 31～38 は図 3 に示すごとく、それぞれが対応する外部端子 61～68 に接続されて外部に導出されている。半導体集積回路 A 72 と半導体集積回路 B 73 はその外部端子 64 に接続された外部電源線 71 より、半導体集積回路 C 75 と半導体集積回路 D 76 は外部端子 68 に接続された外部電源線 74 より電源の供給をそれぞれ受けている。

【0025】従って、第 4 の機能ブロック 14 が休止中においては、電源制御レジスタ 5 には当該第 4 の機能ブロック 14 への電源の供給を停止する電源分配制御信号が設定されているため、第 4 の機能ブロック 14 への電源の供給が遮断される。その時には、この第 4 の機能ブロック 14 に従属して動作しているために動作を休止している、半導体集積回路 A 72 および半導体集積回路 B 73 への電源もその供給も停止される。また、第 4 の機能ブロック 14 が動作中には、電源制御レジスタ 5 には当該第 4 の機能ブロック 14 への電源を供給する電源分配制御信号が設定されているため、第 4 の機能ブロック

14 に電源が供給されるとともに、この第 4 の機能ブロック 14 に従属して動作する半導体集積回路 A 72 および半導体集積回路 B 73 にも電源が供給される。

【0026】なお、このことは外部端子 68 に接続された外部電源線 74 から電源の供給を受けている半導体集積回路 C 75 および半導体集積回路 D 76 についても同様である。即ち、電源制御レジスタ 5 に第 8 の機能ブロック 18 への電源の供給を停止させる電源分配制御信号が設定されている場合には、第 8 の機能ブロック 18 とともに、この半導体集積回路 C 75 および半導体集積回路 D 76 への電源の供給も停止される。また、第 8 の機能ブロック 18 に電源を供給させる電源分配制御信号が設定されている場合には、第 8 の機能ブロック 18 とともに、この半導体集積回路 C 75 および半導体集積回路 D 76 にも電源が供給される。

【0027】実施例 3。次に、この発明の実施例 3 を図について説明する。図 5 は請求項 3 に記載した発明の一実施例を示すブロック図で、相当部分には図 1 と同一符号を付してその説明を省略する。図において、41 は電源制御部 4 に内蔵され、電源制御レジスタ 5 に設定されている電源分配制御信号に対応した各分岐電源線 31～38 への電源の分岐を時限制御するためのタイマである。

【0028】次に動作について説明する。ここで、各機能ブロック 11～18 への電源の供給は、基本的には実施例 1 において説明したものと同様の方法で行われる。この実施例 3 においては、電源制御部 4 がタイマ 41 を内蔵しており、電源制御レジスタ 5 に書き込まれた電源分配制御信号に基づいた各分岐電源線 31～38 への電源の分配を、タイマ 41 に設定された時間が経過した後に行う点で、実施例 1 の場合とは異なっている。これによって、例えば、第 3 の機能ブロック 13 と第 4 の機能ブロック 14 への電源の供給を停止させる電源分配制御信号を電源制御レジスタ 5 に設定した時、第 3 および第 4 の機能ブロック 13 および 14 に供給されている電源の遮断は、電源制御部 4 がタイマ 41 に設定された時間が経過した後に実行される。従って、この第 3 および第 4 の機能ブロック 13 および 14 はその間に、内部レジスタの内容を外部メモリ等に退避させることが可能となる。

【0029】実施例 4。次に、この発明の実施例 4 を図について説明する。図 6 は請求項 4 に記載した発明の一実施例を示すブロック図で、相当部分には図 1 と同一符号を付してその説明を省略する。図において、42 は電源制御部 4 に内蔵され、所定のデータが受信された際に、電源制御部 4 に電源制御レジスタ 5 に設定されている電源分配制御信号に対応した各分岐電源線 31～38 への電源の分岐を実行させるための U A R T であり、43 はこの U A R T 42 のデータ受信端子である。

【0030】次に動作について説明する。ここで、各機

7

能ブロック 11～18への電源の供給は、実施例 1 において説明したものと基本的には同様の方法で行われる。この実施例 4 においては、電源制御部 4 が U A R T 4 2 を内蔵しており、電源制御レジスタ 5 に書き込まれた電源分配制御信号に基づいた各分岐電源線 3 1～3 8 への電源の分配を、データ受信端子 4 3 にて U A R T 4 2 のコンペア回路に設定されているデータと同一のデータが受信された時に実行する点で、実施例 1 の場合とは異なっている。

【0031】このような実施例 4 による半導体集積回路 1 は、例えば携帯電話機などに適用される。この携帯電話機では、例えば受信待機中は第 5～第 8 の機能ブロック 15～18 の機能は使用されず、受信中には全ての機能ブロック 11～18 が使用される。従って、受信待機中には電源制御レジスタ 5 に全ての機能ブロック 11～18 に電源が供給されるような電源分配制御信号を設定しておく。電話受信データの最初に U A R T 4 2 のコンペア回路に設定しておいたデータと同一のデータが受信されたら、電源制御部 4 は電源制御レジスタ 5 に設定された電源分配制御信号の内容に従って、各分岐電源線 3 1～3 8 への電源の分配を制御する。従って、受信の開始とともに全機能ブロック 11～18 には電源が供給されて通話状態となる。また、受信中には電源制御レジスタ 5 に第 1～第 4 の機能ブロック 11～14 にのみ電源が供給されるような電源分配制御信号を設定しておく。電話受信データの最後に U A R T 4 2 のコンペア回路に設定しておいたデータと同一のデータが受信されたら、電源制御部 4 は電源制御レジスタ 5 に設定された電源分配制御信号の内容に従って、各分岐電源線 3 1～3 8 への電源の分配を制御する。従って、終話とともに第 5～

【0032】実施例 5. 次に、この発明の実施例 5 を図について説明する。図 7 は請求項 5 に記載した発明の一実施例を示すブロック図で、相当部分には図 1 と同一符号を付してその説明を省略する。図において、8 1～8 8 は第 1～第 8 の各機能ブロック 11～18 のそれぞれに内蔵されている内部レジスタであり、2 3 はこれら各機能ブロック 11～18 の内部レジスタ 8 1～8 8 への電源を、主電源端子 2 から直接供給するための電源線である。また、9 1 はフロッピーディスクコントローラとして機能している第 8 の機能ブロック 18 に接続されたフロッピーディスクドライブである。

【0033】次に動作について説明する。ここで、各機能ブロック 11～18 への電源の供給は、基本的には実施例 1 において説明したものと同様の方法で行われる。このような実施例 5 による半導体集積回路 1 は、例えば、携帯用のパーソナルコンピュータなどに適用される。携帯用のパーソナルコンピュータでは、フロッピー

8

ピーディスクドライブ 9 1 よりデータを読み出すときには、割り込み用コントローラとして機能する第 7 の機能ブロック 17 とフロッピーディスクコントローラとして機能する第 8 の機能ブロック 18 のみを使用される。そのような場合、電源制御レジスタ 5 には第 7 と第 8 の機能ブロック 17, 18 にのみ電源を供給して、他の機能ブロック 11～16 への電源は供給を停止するような電源分配制御信号を設定する。このような電源分配制御信号による電源の分配が実行されると、第 1～第 6 の機能ブロック 11～16 は電源の供給が遮断されて動作を停止するが、それぞれが内蔵している内部レジスタ 8 1～8 6 には電源線 2 3 を介して主電源端子 2 1 より、直接電源が供給されるため、その時点の状態は失われることなく保持される。

【0034】実施例 6. 次に、この発明の実施例 6 を図について説明する。図 8 は請求項 6 に記載した発明の一実施例を示すブロック図で、相当部分には図 1 と同一符号を付してその説明を省略する。図において、5 1, 5 2 はそれぞれに電源制御部 4 が分岐電源線 3 1～3 8 への電源の分岐を実行する際に用いる電源分配制御信号の設定される第 1 および第 2 の電源制御レジスタである。9 2 はディスプレイコントローラとして機能している第 4 の機能ブロック 14 に接続された C R T ディスプレイなどのディスプレイ装置であり、9 3 は割り込み用コントローラとして機能している第 7 の機能ブロック 17 に接続されて、割り込み信号の入力操作が行われるキーボードである。

【0035】また、4 4 は前記第 7 の機能ブロック 17 からの割り込み信号が入力される電源制御部 4 の割り込み端子であり、4 5 は電源制御部 4 に内蔵され、電源制御部 4 がその割り込み端子 4 4 に入力される割り込み信号の時限管理を行うためのタイマである。即ち、この電源制御部 4 は、一定時間の割り込み信号の有無に応じて第 1 あるいは第 2 の電源制御レジスタ 5 1 または 5 2 の一方を選択し、選択された電源制御レジスタ 5 1 あるいは 5 2 に設定されている電源分配制御信号に従って、各分岐電源線 3 1～3 8 への電源の分岐を制御するものである。

【0036】ここで、図 9 は第 1 の電源制御レジスタ 5 1 と第 2 の電源制御レジスタ 5 2 に設定される電源分配制御信号の一例を示す説明図であり、同図 (a) は第 1 の電源制御レジスタ 5 1 の、同図 (b) は第 2 の電源制御レジスタ 5 2 の設定内容の一例である。なお、図 2 の場合と同様に、図中の“1”は対応する機能ブロックへの電源供給を、“0”は対応する機能ブロックへの電源無供給をそれぞれ示している。

【0037】次に動作について説明する。ここで、半導体集積回路 1 の各機能ブロック 11～18 への電源は、電源制御部 4 にて分岐された各分岐電源線 3 1～3 8 によって供給されている。また、電源制御部 4 は第 1 の電

源制御レジスタ 5 1 あるいは第 2 の電源制御レジスタ 5 2 の一方を選択し、そこに設定されている電源分配制御信号に基づいて主電源端子 2 1 から各分岐電源線 3 1 ~ 3 8 への分岐を制御している。なお、その第 1 および第 2 の電源制御レジスタ 5 1, 5 2 の選択は、内蔵しているタイマ 4 5 による時限管理によって行っている。

【0038】例えば、携帯用のパーソナルコンピュータなどにおいて、電源制御部 4 はタイマ 4 5 に設定された時間の間その割り込み端子 4 4 に、キーボード 9 3 の操作による割り込み信号が第 7 の機能ブロック 1 7 を経由して入力されない場合、第 1 の電源制御レジスタ 5 1 を選択する。そして、そこに設定されている図 9 (a) に示した電源分配制御信号に基づいて、各分岐電源線 3 1 ~ 3 8 への電源の分配を実行する。即ち、ディスプレイコントローラとして機能している第 4 の機能ブロック 1 4 を除いた各機能ブロック 1 1 ~ 1 3, 1 5 ~ 1 8 に対して電源を供給する。これにより第 4 の機能ブロック 1 4 は動作を停止して、ディスプレイ装置 9 2 の画面にはなにも写されなくなる。一方、キーボード 9 3 から第 7 の機能ブロック 1 7 を通して割り込み端子 4 4 に割り込み信号が入力されると、電源制御部 4 は第 2 の電源制御レジスタ 5 2 を選択する。従って、そこに設定されている図 9 (b) に示した電源分配制御信号に基づいて各分岐電源線 3 1 ~ 3 8 への電源の分配によって、全ての機能ブロック 1 1 ~ 1 8 に対して電源の供給が行われる。これによって、第 4 の機能ブロック 1 4 は動作し、ディスプレイ装置 9 2 の画面には所定の表示が行われる。

#### 【0039】

【発明の効果】以上のように、請求項 1 に記載の発明によれば、電源制御レジスタに設定されている電源分配制御信号に従って、主電源端子に供給された電源を所定の機能ブロックへの分岐電源線に分岐させるように構成したので、使用されていない機能ブロックへの電源の供給を遮断することが可能となり、半導体集積回路内部で電力が無駄に消費されるのを防止できる効果がある。

【0040】また、請求項 2 に記載の発明によれば、各機能ブロックへの分岐電源線をそれぞれ外部端子に接続するように構成したので、各機能ブロックに従属して動作する半導体集積回路の電源の供給を、対応する外部端子より受けることにより、システムとしての無駄な電力消費も防止することが可能となる効果がある。

【0041】また、請求項 3 に記載の発明によれば、電源制御部にタイマを付加して、電源分配制御信号に対応した分岐電源線への電源の分岐の実行を、そのタイマによる時限制御とするように構成したので、電源が遮断されるまでにタイマに設定された時間だけの余裕ができ、その間に必要なデータを外部メモリ等へ退避させることなどが可能となる効果がある。

【0042】また、請求項 4 に記載の発明によれば、電源制御部に外部からのデータを受信照合する U A R T を

付加し、電源分配制御信号に対応した分岐電源線への電源の分岐の実行を、所定のデータが受信されたことによって制御するように構成したので、例えば、携帯電話機の受信待機中と受信中等の異なるモードの間で、異なった機能ブロックへの電源の分配が可能となる効果がある。

【0043】また、請求項 5 に記載の発明によれば、各機能ブロックの内部レジスタに主電源端子より直接電源を供給するように構成したので、電源制御部によって電源の供給が遮断された機能ブロックでも内部レジスタの内容を確実に保持できる効果がある。

【0044】また、請求項 6 に記載の発明によれば、割り込み端子に入力される割り込み信号をタイマで時限管理し、一定時間内の割り込み信号の有無に応じて複数用意された電源制御レジスタの 1 つを選択して、そこに設定されている電源分配制御信号に従って分岐電源線への電源の分岐を実行するように構成したので、各機能ブロックへの電源の供給を、割り込みの状況に応じて異なった供給パターンで行うことが可能となる効果がある。

#### 【図面の簡単な説明】

【図 1】この発明の実施例 1 による半導体集積回路を示すブロック図である。

【図 2】上記実施例における電源制御レジスタの設定例を示す説明図である。

【図 3】この発明の実施例 2 による半導体集積回路を示すブロック図である。

【図 4】上記実施例による半導体集積回路を用いたシステムの構成例を示すブロック図である。

【図 5】この発明の実施例 3 による半導体集積回路を示すブロック図である。

【図 6】この発明の実施例 4 による半導体集積回路を示すブロック図である。

【図 7】この発明の実施例 5 による半導体集積回路を示すブロック図である。

【図 8】この発明の実施例 6 による半導体集積回路を示すブロック図である。

【図 9】上記実施例における各電源制御レジスタの設定例を示す説明図である。

【図 10】従来の半導体集積回路を示すブロック図である。

#### 【符号の説明】

- 1 半導体集積回路
- 1 1 ~ 1 8 機能ブロック
- 2 1 主電源端子
- 3 1 ~ 3 8 分岐電源線
- 4 電源制御部
- 4 1 タイマ
- 4 2 U A R T
- 4 4 割り込み端子
- 4 5 タイマ



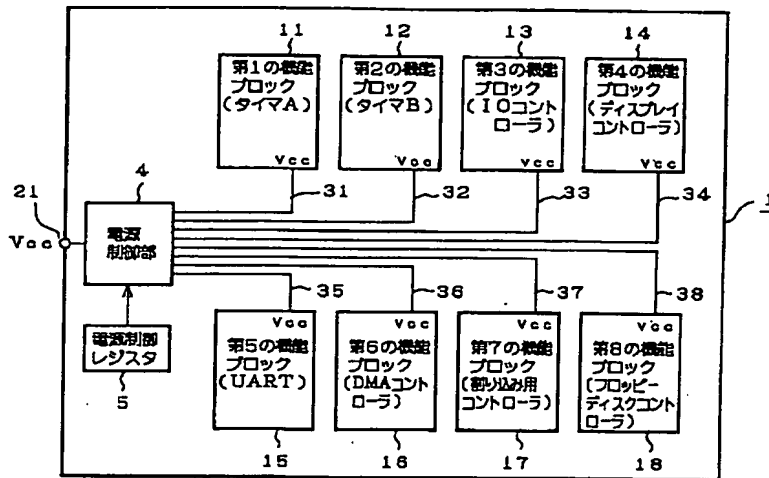
5 電源制御レジスタ

61~68 外部端子

51, 52 電源制御レジスタ

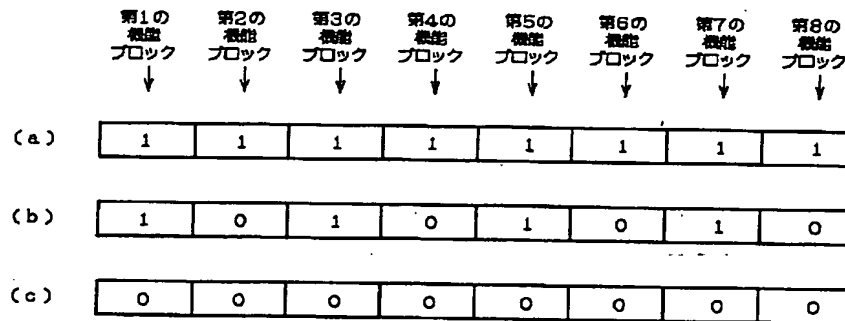
81~88 内部レジスタ

【図1】



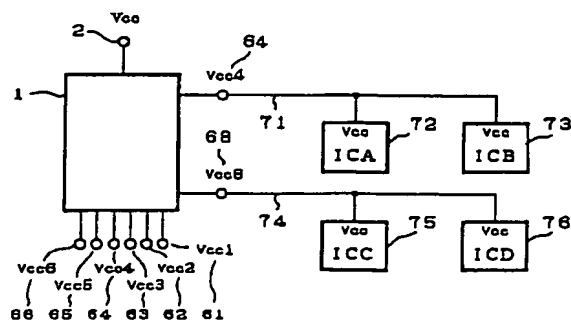
1: 半導体集積回路 21: 主電源端子 31~38: 分岐電源線

【図2】

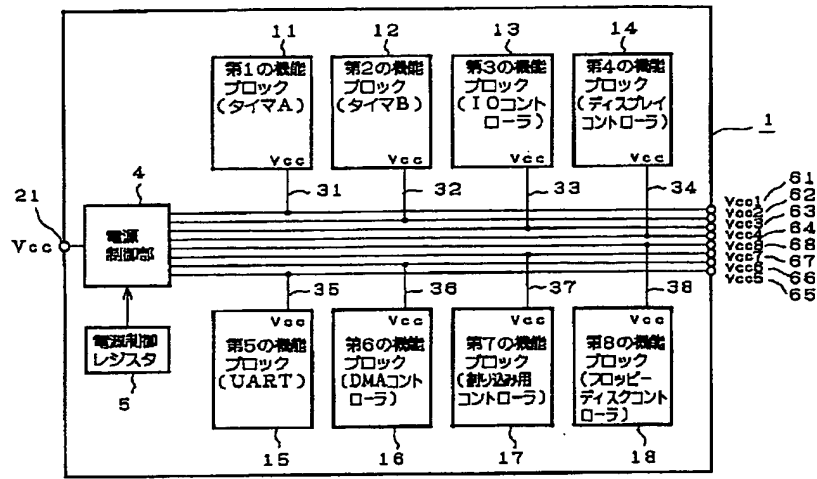


1: 電源供給 0: 電源非供給

【図4】

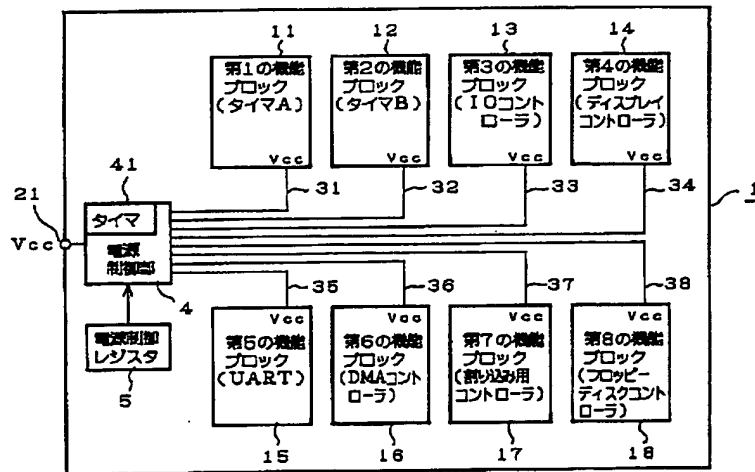


【図3】

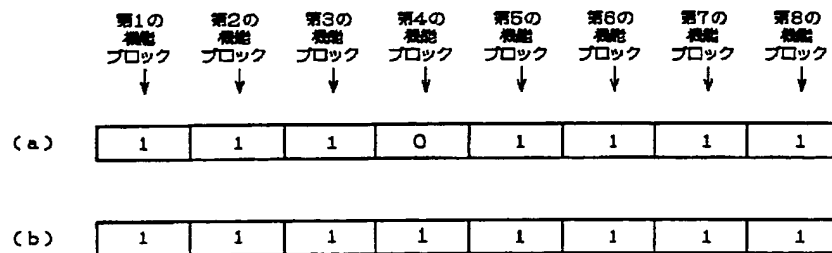


61~68: 外部端子

【図5】

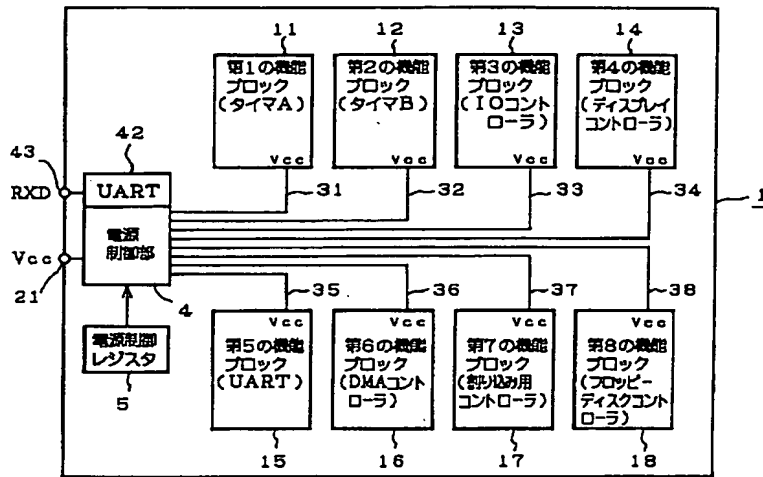


【図9】

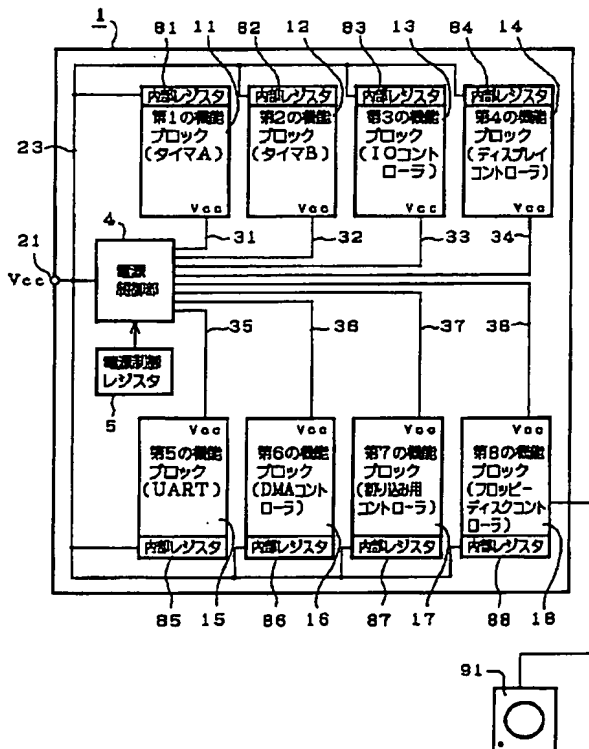


1: 電源供給    0: 電源無供給

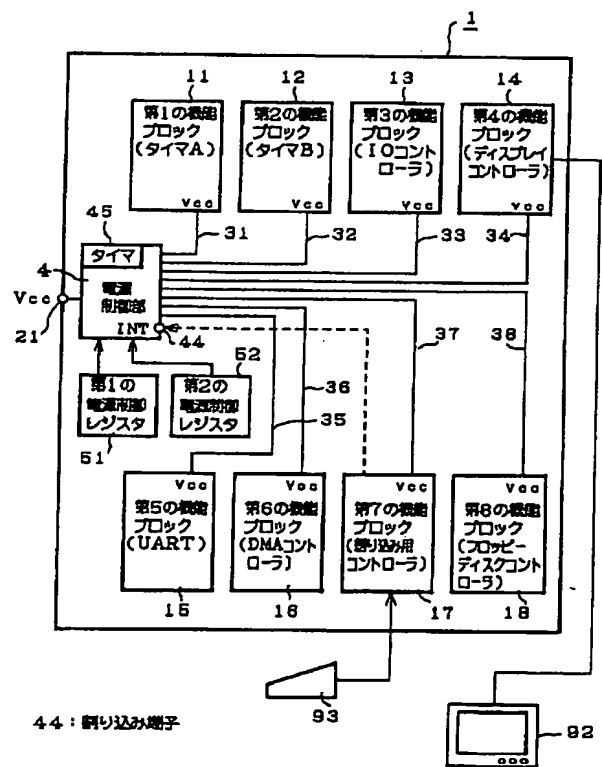
【図6】



【図7】



【図8】



【図10】

